

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

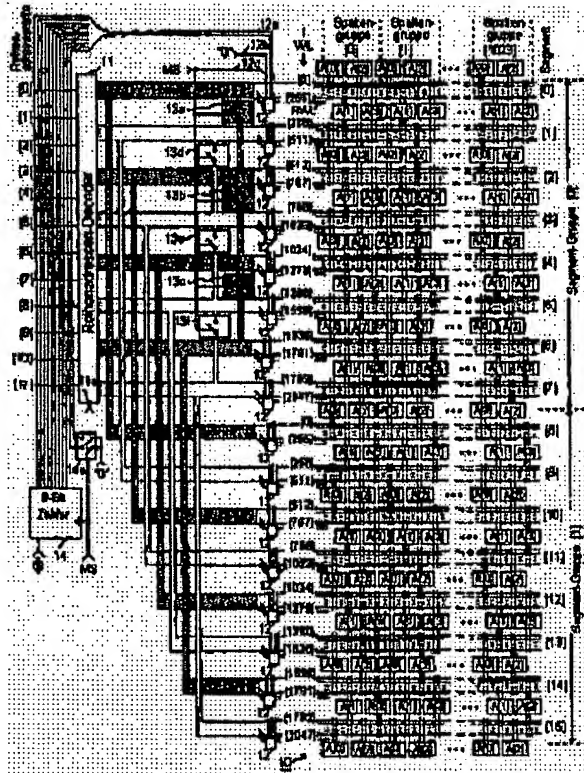
THIS PAGE BLANK (USPTO)

Digital memory device performs successive refresh sub-cycles; word lines of non-adjacent segments in each segment group are sequentially activated simultaneously in at least one sub-cycle

Patent number: DE10208611
Publication date: 2003-05-22
Inventor: ZUCKERSTAETTER ANDREA (DE); FISCHER
HELMUT (DE); SOMMER MICHAEL (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- international: G11C11/406
- european: G11C11/408D, G11C11/406
Application number: DE20021008611 20020227
Priority number(s): DE20021008611 20020227

Abstract of DE10208611

The digital memory or dynamic random access memory (DRAM) device has a refresh control device (13a-13f, 14) that is designed to carry out a refresh cycle in the form of successive sub-cycles, whereby in at least one of these sub-cycles word lines of at least two non-adjacent segments in each segment group are sequentially activated simultaneously.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 102 08 611 A 1**

51 Int. Cl.⁷:
G 11 C 11/406

21 Aktenzeichen: 102 08 611.7
22 Anmeldetag: 27. 2. 2002
43 Offenlegungstag: 22. 5. 2003

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Wilhelm & Beck, 80636 München

72 Erfinder:
Sommer, Michael, 83064 Raubling, DE; Fischer,
Helmut, 82024 Taufkirchen, DE; Zuckerstätter,
Andrea, 80637 München, DE

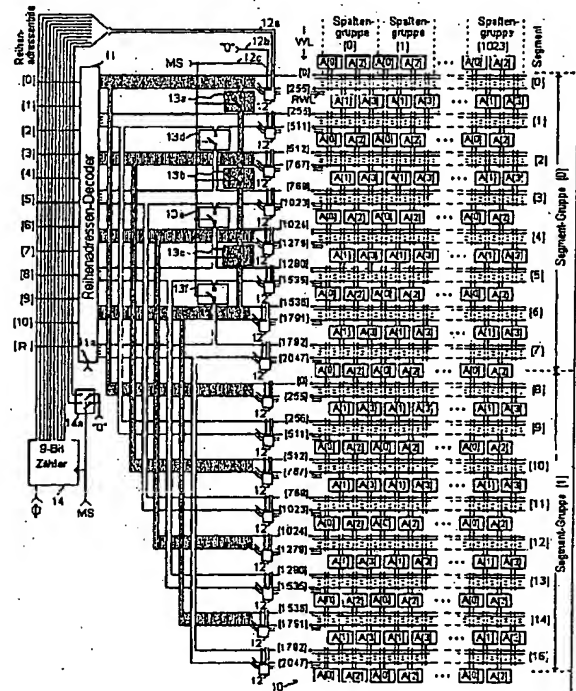
56 Entgegenhaltungen:
US 60 78 543
US 57 42 554

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 **DRAM-Speicherschaltung**

57 Gegenstand der Erfindung ist eine digitale Speicherschaltung mit mindestens einer Speicherbank (10), die $p \geq 1$ Gruppen von jeweils $q > 2$ Segmenten aufweist, deren jedes eine Vielzahl von Reihen aus Speicherzellen enthält, wobei unmittelbar benachbarten Segmenten teilweise dieselben Leseverstärker (A) zum Schreiben und Lesen von Daten zugeordnet sind. Vorgesehen ist ferner eine Auffrischungs-Steuereinrichtung (13a-f, 14, 14a) zum Durchführen eines Auffrischungszyklus, in welchem die Speicherzellen-Reihen jedes Segmentes sequentiell und genau einmal eine Auffrischung ihrer Daten erfahren. Erfindungsgemäß ist die Auffrischungs-Steuereinrichtung (13a-f, 14, 14a) ausgelegt zur Durchführung des Auffrischungszyklus in Form aufeinanderfolgender Teilzyklen, wobei in mindestens einem dieser Teilzyklen Speicherzellen-Reihen von gleichzeitig mindestens zwei nicht-benachbarten Segmenten in jeder Segmentgruppe sequentiell aufgefrischt werden.



DE 102 08 611 A 1

DE 102 08 611 A 1

Beschreibung

[0001] Die Erfindung betrifft eine DRAM-Speicherschaltung mit mindestens einer Speicherbank, die mehrere Segmente mit jeweils einer Vielzahl von Speicherzellen enthält, gemäß dem Oberbegriff des Patentanspruchs 1. Speicherschaltungen dieser Gattung sind allgemein bekannt, wobei das Akronym "DRAM" für "Dynamic Random Access Memory" steht, also für einen dynamischen Speicher mit wahlfreiem Zugriff, bei dem auf die einzelnen Speicherzellen direkt zugegriffen werden kann, um Information wahlweise auszulesen oder einzuschreiben.

[0002] In DRAMs werden Speicherzellen verwendet, die so beschaffen sind, daß sie die eingeschriebene Information im Lauf der Zeit verlieren und deswegen von Zeit zu Zeit aufgefrischt werden müssen. Die Haltbarkeitsdauer einer Information, d. h. die "Retentionszeit", über welche eine eingeschriebene Information eindeutig erkennbar bleibt, kann innerhalb desselben Speichermoduls von Zelle zu Zelle sehr unterschiedlich sein. Bei handelsüblichen, kapazitiv speichernden DRAMs liegt die garantierte Mindest-Retentionszeit meist bei nur einigen Millisekunden. Eine Auffrischung, die an jeder Zelle innerhalb dieser Zeit erfolgen muß, beinhaltet im Prinzip folgendes: der Zellenzustand wird abgefühlt; anschließend wird die aus dem abgefühlten Zellenzustand erkannte Information frisch in die betreffende Zelle zurückgeschrieben.

[0003] In den gebräuchlichen DRAMs sind die Speicherzellen matrixförmig in Reihen und Spalten angeordnet, wobei jeder Reihe eine sogenannte "Wortleitung" zugeordnet ist, bei deren Aktivierung alle Zellen dieser Reihe gleichzeitig für einen Lese- oder Schreibbetrieb ausgewählt werden. Jeder Spalte ist eine Lese-Schreib-Schaltung mit einem Leseverstärker und eine Spalten-Auswahlleitung zugeordnet, die zumeist zweifach in Form zweier paralleler "Bitleitungen" (Bitleitungs-Pärchen) ausgebildet ist und zu allen Speicherzellen der betreffenden Spalte führt. Die Leseverstärker können auf Befehl mit den zugeordneten Bitleitungen verbunden und eingeschaltet werden, um die Daten, die in der ausgewählten Speicherzellen-Reihe gespeichert sind, zu lesen und gleichzeitig, aufgefrischt durch die Verstärkerwirkung, in die betreffenden Zellen zurückzuschreiben.

[0004] Ein DRAM großer Speicherkapazität enthält eine oder mehrere Speicherbänke mit jeweils mehreren tausend Reihen von Speicherzellen, wobei jede Reihe ihrerseits eine große Anzahl n von Zellen aufweist. Um die Länge der Bitleitungen in einer Bank zu begrenzen (zur Verminderung der kapazitiven Belastung der Speicherzellen und der Leseverstärker); ist die Bank üblicherweise in mehrere Segmente unterteilt. Das Zellenfeld jedes Segmentes bildet eine Matrix, die m reguläre Reihen und n reguläre Spalten enthält, also $m * n$ Speicherzellen (das Symbol "*" wird hier und im folgenden als Multiplikationszeichen verwendet). Die Leseverstärker sind in streifenförmigen Bereichen angeordnet, die sich beidseitig entlang den Rändern der Segmente erstrecken, also zwischen jeweils benachbarten Segmenten und an den Außenrändern der Bank. Jeder dieser "Streifen" enthält $n/2$ Leseverstärker, wobei jeder der zwischen zwei benachbarten Segmenten liegenden Leseverstärker sowohl einer Spalte des einen Nachbarsegmentes als auch der damit fluchtenden Spalte des anderen Nachbarsegmentes zugeordnet ist.

[0005] Die selektive Aktivierung der Wortleitungen erfolgt mittels eines Reihenadressen-Decoders abhängig von den Bits einer Reihenadresse. Ist die Gesamtmenge der Segmente als eine einzige Gruppe organisiert, dann ist jeder Adresse genau eine Wortleitung zugeordnet, so daß mit jeder Adresse die Speicherzellen nur einer einzigen Reihe er-

reicht werden. Die Menge der Segmente kann aber auch in zwei (oder mehr) getrennten Gruppen jeweils gleicher Größe organisiert sein, wobei jeder Adresse zwei (oder mehr) Wortleitungen zugeordnet sind, nämlich genau eine aus jeder Gruppe.

[0006] Um alle Speicherzellen einer DRAM-Bank jeweils rechtzeitig aufzufrischen, muß jede Wortleitung jedes Segmentes in Zeitabständen, die kürzer sind als die garantierte Mindest-Retentionszeit, wiederholt aktiviert werden, und zwar unter Einschaltung zumindest aller derjenigen Leseverstärker, welche den Spalten des betreffenden Segmentes zugeordnet sind. Dies führt zu dem oben beschriebenen Lesen und Zurückschreiben der Daten an den durch die jeweils aktivierte Wortleitung ausgewählten Speicherzellen. DRAM-Speicherschaltungen nach dem Stand der Technik enthalten zu diesem Zweck einen Adressenzähler, der im Auffrischungs-Betrieb des DRAM nacheinander alle Reihenadressen an den Reihenadressen-Decoder legt, so daß alle Reihen einer Segmentgruppe einzeln nacheinander aufgefrischt werden, und zwar jeweils gleichzeitig mit den Reihen jeder anderen Segmentgruppe (falls vorhanden), welche die jeweils gleiche Adresse haben.

[0007] Dieser ganze Auffrischungszyklus muß in Zeitabständen, die kürzer sind als die garantierte Mindest-Retentionszeit TR , periodisch wiederholt werden. Ist p die Anzahl der Segmentgruppen, q die Anzahl der Segmente pro Segmentgruppe und m die Anzahl der regulären Reihen pro Segment, dann müssen innerhalb der Periode TR insgesamt $q * m$ aufeinanderfolgende Aktivierungen von jeweils p Wortleitungen stattfinden. Beim Stand der Technik ist also der Zeitabstand zwischen aufeinanderfolgenden Wortleitungs-Aktivierungen, also die Pause zwischen aufeinanderfolgenden Auffrischungsvorgängen, im Durchschnitt gleich $TR/(q * m)$.

[0008] Die Aufgabe der vorliegenden Erfindung besteht darin, eine DRAM-Speicherschaltung so auszubilden, daß die Pausen zwischen aufeinanderfolgenden Auffrischungsvorgängen, über die Zeit gemittelt, verlängert sind. Diese Aufgabe wird erfindungsgemäß durch die im Patentanspruch 1 angegebenen Merkmale gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

[0009] Demnach wird die Erfindung realisiert an einer Speicherschaltung mit mindestens einer Speicherbank, die $p \geq 1$ Gruppen von jeweils $q > 2$ Segmenten aufweist, deren jedes eine Vielzahl von Speicherzellen enthält, die eine Matrix aus Reihen und Spalten bilden und auslesbar sind durch Aktivierung einer der betreffenden Reihe zugeordneten Wortleitung und Einschalten eines der betreffenden Spalte zugeordneten Leseverstärkers, der im eingeschalteten Zustand das gespeicherte Datum fühlt und aufgefrischt in die jeweilige Speicherzelle zurückschreibt. Die Menge der Spalten in jedem Segment besteht aus zwei disjunkten Teilmengen, deren erste einer ersten Teilmenge der Leseverstärker zugeordnet ist und deren zweite einer demgegenüber disjunkten zweiten Teilmenge der Leseverstärker zugeordnet ist, und wobei einer Spalten-Teilmenge jedes Segmentes die selben Leseverstärker zugeordnet sind wie einer Spalten-Teilmenge des unmittelbar benachbarten Segmentes. Die Speicherschaltung enthält einen Reihenadressen-Decoder, der ausgelegt ist zum Empfang von verschiedenen Reihenadressen, um für jede dieser Adressen genau eine Wortleitung jeder Segmentgruppe zu aktivieren. Vorgesehen ist ferner eine Auffrischungs-Steuereinrichtung zum Durchführen eines Auffrischungszyklus, in welchem die Wortleitungen jedes Segmentes sequentiell und genau einmal aktiviert werden unter Einschaltung zumindest aller derjenigen Leseverstärker, die den Spalten des betreffenden Segmentes zu-

geordnet sind. Die Erfindung ist dadurch gekennzeichnet, daß die Auffrischung-Steuereinrichtung ausgelegt ist zur Durchführung des Auffrischungszyklus in Form aufeinanderfolgender Teilzyklen, wobei in mindestens einem dieser Teilzyklen Wortleitungen von gleichzeitig mindestens zwei nicht-benachbarten Segmenten in jeder Segmentgruppe sequentiell aktiviert werden.

[0010] Die erfindungsgemäße Ausbildung der Auffrischungs-Steuereinrichtung führt also dazu, daß innerhalb jedes Auffrischungszyklus die Anzahl der Auffrischungsvorgänge kleiner ist als $q \cdot m$, also kleiner als das Produkt der Anzahl der Segmente pro Segmentgruppe mal der Anzahl der Wortleitungen pro Segment. Somit ist innerhalb jedes Auffrischungszyklus das Verhältnis der Summe der Pausenzeiten zur Gesamtzeit des Zyklus größer als beim Stand der Technik. Dies hat gewichtige Vorteile insbesondere hinsichtlich des Stromverbrauchs, wie nachstehend erläutert:

[0011] Die bei DRAMs notwendige periodische Auffrischung der Speicherzellen ist mit einem beträchtlichen Verbrauch an elektrischer Leistung verbunden. Jede Wortleitungsaktivierung erfordert eine Ladungsmenge, um die Wortleitung auf das Aktivierungspotential zu bringen. Des weiteren müssen die Leseverstärker Ladung aufbringen, um die gefühlten Daten verstärkt in die Zellen zurückzuschreiben. Dies erfordert zum einen die Nachladung aller derjenigen kapazitiven Speicherelemente, deren Speicherdaten den Binärwert "1" darstellen, also dem "geladenen" Zustand des Speicherelementes entsprechen. Da auch die Bitleitungen eine elektrische Kapazität haben, bedarf es noch zusätzlicher Ladung, um an diesen Leitungen die Potentialdifferenz herzustellen, die zum Zurückschreiben des gelesenen Datums (egal ob "1" oder "0") erforderlich ist.

[0012] Alle diese Ladungsmengen sind unvermeidlich und müssen als "Nutzstrom" von einem spannungsstabilisierten Stromversorgungssystem aufgebracht werden. Dieses System verbraucht darüber hinaus einen nicht unbeträchtlichen Strom für sich selbst, und zwar in den Regelkreisen zur Spannungsstabilisierung. Um diesen Verbrauch an "Regelungsstrom" (auch "Tail Current" oder "Querstrom" genannt) gering zu halten, ist es angebracht und auch schon bisher üblich, das betreffende Stromversorgungssystem in den Pausen zwischen den einzelnen Auffrischungsvorgängen abzuschalten. Da mit der vorliegenden Erfindung die Summe dieser Pausenzeiten innerhalb des Auffrischungszyklus größer ist als bisher, läßt sich auch die Gesamtzeit der Abschaltungen des Stromversorgungssystems erhöhen, so daß der Verbrauch an Regelungsstrom und somit der Gesamtstromverbrauch im Mittel niedriger wird.

[0013] Die erfindungsgemäße Verlängerung von Auffrischungspausen hat andererseits aber auch den Vorteil, daß zwischen einzelnen Auffrischungsvorgängen mehr Nutz-Zugriffe zum Lesen oder Schreiben an den jeweils anderen Speicherzellen erfolgen können und somit die mittlere effektive Datenrate des Speicherbetriebs erhöht werden kann.

[0014] Die Erfindung und einige besondere Ausgestaltungen der Erfindung werden nachstehend an Ausführungsbeispielen anhand von Zeichnungen näher erläutert:

[0015] Fig. 1 zeigt schematisch den Aufbau einer DRAM-Speicherbank mit einer Auffrischungs-Steuereinrichtung gemäß einer ersten Ausführungsform der Erfindung;

[0016] Fig. 2 zeigt vergrößert und detaillierter einen Ausschnitt aus der Speicherbank nach Fig. 1;

[0017] Fig. 3 und 4 zeigen die Speicherbank DRAM nach Fig. 1 mit einer zweiten bzw. dritten Ausführungsform einer erfindungsgemäßen Auffrischungs-Steuereinrichtung.

[0018] In den Figuren und in der nachstehenden Beschreibung werden für gleichartige Elemente und gleiche Signale jeweils die gleichen Bezeichnungen bzw. Abkürzungen ver-

wendet. Die in eckigen Klammern [] stehenden Zahlen geben jeweils die laufende Nummer an, wobei ein Doppelpunkt ":" zwischen zwei Zahlen die Bedeutung des Wortes "bis" hat, wie es allgemeiner Konvention entspricht.

[0019] Die Fig. 1 zeigt in der rechten Hälfte eine DRAM-Speicherbank 10 mit $m = 4096$ (also 2^{12}) regulären Reihen, deren jede ihrerseits $n = 4096$ binäre Speicherzellen enthält. Die Bank 10 hat also eine Speicherkapazität von $4096 \cdot 4096 = 16.777.216$ Bits (16-Mb-Bank). Ein integrierter DRAM-Baustein enthält zumeist 4 Bänke auf einem einzigen Halbleiter-Chip, die unabhängig voneinander betrieben werden können.

[0020] Die Menge der 4096 regulären Reihen der Bank 10 ist unterteilt in 16 gleich große benachbarte Teilmengen oder "Segmente" [0 : 15], deren jedes also $m = 4096/16 = 256$ reguläre Reihen umfaßt. Im gezeigten Fall sind die Segmente in zwei gleich große Segmentgruppen [0 : 1] organisiert, deren jede $p = 16/2 = 8$ benachbarte Segmente umfaßt. Die Segmentgruppe [0] umfaßt die Segmente SE[0 : 7], und die Segmentgruppe [1] umfaßt die Segmente [8 : 15]. Jede Segmentgruppe enthält also $256 \cdot 8 = 2048$ reguläre Reihen und somit $2048 = 2^{11}$ reguläre Wortleitungen WL[0 : 2047].

[0021] In jedem Segment liegen die Speicherzellen, die in der Fig. 1 nicht dargestellt sind, an den Kreuzungsstellen zwischen den Wortleitungen und n zwiadrigen Spaltenauswahlleitungen, den sogenannten Bitleitungspärchen. Die Speicherzellen bilden also n benachbarte Spalten. Die Bitleitungspärchen erstrecken sich quer zu den Wortleitungen, sie sind der Fig. 1 als senkrechte Doppelleitungen zu erkennen. Auf beiden Seiten jedes Segmentes befindet sich eine Reihe von jeweils $n/2$ Leseverstärkern A, die in der Fig. 1 als kleine Rechtecke dargestellt sind. Die Bitleitungspärchen sind, von Spalte zu Spalte fortschreitend, abwechselnd jeweils einem Leseverstärker der einen oder der anderen Seite zugeordnet, wie der Darstellung in Fig. 1 zu entnehmen ist. Bei dieser Anordnung ist also die Menge der $n/2$ Leseverstärker, die zwischen zwei benachbarten Segmenten liegen, sowohl einer Teilmenge der Spalten ($n/2$ Spalten) des einen Nachbarsegmentes als auch einer Teilmenge der Spalten (ebenfalls $n/2$ Spalten) des anderen Nachbarsegmentes zugeordnet.

[0022] Der Zugriff auf eine beliebige Speicherzelle erfolgt durch Aktivierung der Wortleitung der betreffenden Reihe und Verbinden des Bitleitungspärchens der betreffenden Spalte mit dem zugeordneten Leseverstärker A. Die Aktivierung der Wortleitungen erfolgt mittels eines Reihenadressen-Decoders 11, der links in der Fig. 1 dargestellt ist und $m \cdot p = 2048$ reguläre Ausgänge hat, die mit den 2048 regulären Wortleitungen WL[0 : 2047] sowohl der ersten Segmentgruppe [0] als auch der zweiten Segmentgruppe [1] verbunden sind. Diese Verbindung ist in der Fig. 1 symbolisch in Form von $q = 8$ Leitungsbündeln dargestellt, deren jedes als Band gezeichnet ist und jeweils $m = 256$ reguläre Adern enthält, um jeweils 256 reguläre Ausgänge des Decoders 11 mit den 256 regulären Wortleitungen WL der betreffenden Segmente zu verbinden. Der Decoder 11 spricht auf eine aus 11 Adressenbits [0 : 10] bestehende Reihenadressen-Information an, um in jeder der beiden Segmentgruppen jeweils diejenige der $2048 = 2^{11}$ regulären Wortleitungen WL[0 : 2047] zu aktivieren, die durch die betreffende Adresse bestimmt ist. Die drei "höchstwertigen" Adressenbits [8 : 10] bilden einen ersten Adressenteil, der das Segment innerhalb der beiden Segmentgruppen bestimmt, und die acht "niedrigstwertigen" Adressenbits [0 : 7] bilden einen zweiten Adressenteil, der die Wortleitung innerhalb des jeweiligen Segmentes bestimmt.

[0023] Neben den m regulären Reihen enthält jedes Segment üblicherweise zusätzlich eine gewisse Anzahl m' "red-

undanter" Reihen von Speicherzellen mit jeweils einer zugehörigen "redundanten" Wortleitung RWL, die meist entlang einem Rand (oder entlang beiden Rändern) des Segmentes verlaufen. In der Fig. 1 sind an jedem Segment nur zwei redundante Wortleitungen RWL gezeigt, in Wirklichkeit beträgt ihre Anzahl m' einige wenige Prozent von m , z. B. 8 im Falle von $m = 256$. Wenn der übliche Test der Speicherbank 10, der vor der Verkapselung des Chips stattfindet, einen Fehler in einer regulären Speicherzellen-Reihe offenbart, dann kann mittels lokaler Schmelztechnik (Fuse-Technik) eine Umleitungsschaltung so programmiert werden, daß sie bei Adressierung genau dieser Reihe den Decoder 11 vorübergehend über einen Deaktivierungseingang 11a abschaltet und stattdessen eine ausgewählte redundante Wortleitung RWL aktiviert. Für jede redundante Reihe ist eine solche Umleitungsschaltung vorgesehen, und die Umleitungsschaltungen für jedes Segment sind in jeweils in einem sogenannten "Fuse-Block" 12 angeordnet. Alle Fuse-Blöcke 12 empfangen über eine Vielfachleitung 12a die Reihenadressenbits [0 : 10], sie können ferner über eine Deaktivierungsleitung 12b unwirksam gemacht werden. Eine weitere Steuerleitung 12c zu den Fuse-Blöcken 12 dient einem besonderen Zweck, der weiter unten beschrieben ist.

[0024] Da auch die redundanten Reihen getestet werden müssen, sind üblicherweise auch die redundanten Wortleitungen RWL mit eigens zugeordneten "redundanten" Ausgängen des Decoders 11 verbunden. Auch diese Verbindungen laufen innerhalb der gezeigten Leitungsbündel. Um die redundanten Wortleitungen RWL im Testbetrieb selektiv adressieren zu können, hat der Decoder 11 einen zusätzlichen Eingang für ein Redundanz-Adressenbit [R]. Ist dieses Bit aktiv (z. B. eine logische "1"), dann werden z. B. mittels der drei niedrigstwertigen Bits [0 : 2] der Reihenadresse die acht redundanten Wortleitungen RWL eines Segmentes selektiert, wobei das betreffende Segment z. B. durch die höchstwertigen Adressenbits [8 : 10] selektiert wird. Für den Testbetrieb ist üblicherweise ein Testadressenzähler vorgesehen (in der Fig. 1 nicht gezeigt), der die benötigten Adressenbits in der gewünschten Folge erzeugen kann.

[0025] Im normalen Lese- und Schreibbetrieb wird üblicherweise auf mehrere Zellen einer Reihe gleichzeitig zugegriffen, um die übertragene Datenmenge pro Zeiteinheit zu erhöhen. Ein gebräuchlicher Weg besteht darin, die Spalten in Gruppen von jeweils vier benachbarten Spalten zu organisieren, auf die gleichzeitig zugegriffen wird. Das heißt, jeweils eine Quartett von vier Leseverstärkern A[0 : 3] wird gleichzeitig mit den zugeordneten Bitleitungen verbunden, so daß an einem Segment gleichzeitig vier Bits gelesen oder geschrieben werden können. Im dargestellten Fall von $n = 4096$ Spalten gibt es dann also $n/4 = 1024$ Spaltengruppen [0 : 1023]. Will man noch mehr Bits an einem Segment gleichzeitig lesen oder schreiben, kann man die Spaltengruppen in mehrere Bereiche teilen und gleichzeitig in jedem Bereich ein Leseverstärker-Quartett A[0 : 3] mit den zugeordneten Bitleitungen verbinden. Bei Speicherbanken der dargestellten Größe ist eine Spaltengruppen-Aufteilung in zwei Bereiche üblich, deren erster die Spaltengruppen [0 : 511] und deren zweiter die Spaltengruppen [512 : 1023] umfaßt, so daß gleichzeitig acht Bits an einem Segment geschrieben bzw. gelesen werden. Wenn zudem, wie dargestellt, zwei Segmentgruppen vorgesehen sind, die vom Reihenadressendecoder 11 parallel angesteuert werden, erfolgt bei jedem Zugriff ein Lesen oder Schreiben von sechzehn Bits gleichzeitig.

[0026] Bevor die erfindungsgemäße Auffrischungs-Steuereinrichtung näher beschrieben wird, sei anhand der Fig. 2 der auffrischende Betrieb der Leseverstärker A erläutert.

[0027] Die Fig. 2 zeigt zwei benachbarte Leseverstärker

A[0] und A[2] und die unmittelbar umgebenden Schaltungsteile der Speicherbank 10 in näheren Einzelheiten. Dabei handelt es sich als Beispiel um diejenigen Leseverstärker, die zwischen den beiden Segmenten [1] und [2] liegen und der ersten und dritten Spalte der Spaltengruppe [1] zugeordnet sind. Dargestellt sind ferner letzte die Wortleitung WL[511] des Segmentes [1] und die ersten beiden Wortleitungen WL[512 : 513] des Segmentes [2] sowie die diesen Wortleitungen zugeordneten Speicherzellen 20 der ersten bis dritten Spalte der besagten Spaltengruppe [1]. Die redundanten Wortleitungen RWL sind in Fig. 2 nicht dargestellt. [0028] Jede Speicherzelle 20 enthält eine Kapazität (Kondensator) 21, die das eigentliche Speicherelement bildet und deren Ladezustand den Binär- oder Datenwert "1" (geladen) oder "0" (ungeladen) repräsentiert. Die eine Seite des Speicherkondensators 21 liegt auf einem festen Potential, z. B. einem "niedrigen" Potential "L", und die andere Seite ist über den Kanal eines als N-FET auslegten Auswahltransistors 22 mit einer der beiden Adern des zugeordneten Bitleitungsspärrchens verbunden. Das Gate des Auswahltransistors 22 liegt an der zugeordneten Wortleitung WL. Gemäß dem üblichen Sprachgebrauch wird eine der Adern als "True"-Bitleitungsader BLt und die andere als "Complement"-Bitleitungsader BLc bezeichnet. Im dargestellten Fall hängen die Auswahltransistoren 22, die der Wortleitung WL[511] zugeordnet sind, an der an der True-Bitleitungsader BLt, ebenso wie die Auswahltransistoren aller anderen Zellen der selben Wortleitung. Von Wortleitung zu Wortleitung wechselt die Anschlußweise der Auswahltransistoren zwischen True- und Complement-Bitleitungsadern, wie in Fig. 2 an den Wortleitungen WL[512 : 513] ersichtlich.

[0029] Alle Leseverstärker A der Speicherbank 10 nach Fig. 1 sind gleich und in ähnlicher Weise angeschlossen; es genügt daher, im folgenden nur den Leseverstärker A[0] und dessen Anschlußweise zu beschreiben. Er ist ein Differenzverstärker mit symmetrischem Eingang und symmetrischem Ausgang und enthält ein erstes Transistorpaar, bestehend aus zwei p-Kanal-Feldeffekttransistoren (P-FETs) T1 und T2, und ein zweites Transistorpaar, bestehend aus zwei n-Kanal-Feldeffekttransistoren (N-FETs) T3 und T4. Die Sourceelektroden der P-FETs T1 und T2 sind an einem Schaltungspunkt zusammengekoppelt, dem ein erstes Versorgungssignal VSP zuführbar ist. Die Sourceelektroden der N-FETs T3 und T4 sind an einem Schaltungspunkt zusammengekoppelt, dem ein zweites Versorgungssignal VSN zuführbar ist. Die Drainelektroden der Transistoren T1 und T3 und die Gateelektroden der Transistoren T2 und T4 sind über jeweils einen ersten Zweig zweier Transferschalter 40a bzw. 40b mit den Bitleitungsadern BLt der zugeordneten Spalten der beiden benachbarten Segmente [1 : 2] verbindbar und außerdem über einen ersten Zweig eines zweipoligen Datenleitungs-Transferschalters 50 mit einer ersten Ader einer zweiadrigen lokalen Datenleitung LD[0] verbindbar. In ähnlicher Weise sind die Drainelektroden der Transistoren T2 und T4 und die Gateelektroden der Transistoren T1 und T3 über jeweils den zweiten Zweig der Transferschalter 40a bzw. 40b mit den Bitleitungsadern BLc der zugeordneten Spalten der beiden benachbarten Segmente [1 : 2] verbindbar und außerdem über den zweiten Zweig des Datenleitungs-Transferschalters 50 mit der zweiten Ader der lokalen Datenleitung LD[0] verbindbar.

[0030] Der Leseverstärker A[2] ist über seinen Datenleitungs-Transferschalter 50 mit einer anderen lokalen Datenleitung LD[2] verbindbar. In gleicher Weise sind auch die [in Fig. 2 nicht gezeigten] Leseverstärker A[1] und A[3] über zugehörige Daten-Transferschalter mit einer jeweils zugeordneten lokalen Datenleitung LD[1] bzw. LD[3] verbindbar (nicht gezeigt). Das Quartett der lokalen Datenlei-

tungen LD[0 : 3] ist allen Leseverstärker-Quartetten innerhalb eines Bereichs des betreffenden Segmentes zugeordnet. Bei Unterteilung der Menge der Spaltengruppen in zwei Teilbereiche sind zwei Quartette von lokalen Datenleitungen LD vorgesehen.

[0031] Im Ruhezustand der Speicherschaltung, vor Einleitung eines Zellenzugriffs, werden alle Wortleitungen auf einem niedrigen Potential ("L-Potential") gehalten, so daß die Auswahltransistoren 22 aller Speicherzellen 20 sperren, und die Bitleitungsadern BLt und BLc werden auf einem gemeinsamen Vorlade- oder "Egalisierungs"-Potential M gehalten, das möglichst genau zwischen dem L-Potential und einem positiveren hohen Potential ("H-Potential") liegt. Letzteres erfolgt durch Egalisierungsschalter 30a und 30b, die symbolisch als zweipolige mechanischer Schalter dargestellt sind und durch ein Egalisierungssignal PRE geschlossen werden, um beide Bitleitungsadern BLt und BLc mit einer Quelle des M-Potentials zu verbinden. Ein ähnlicher Egalisierungsschalter, der in gleicher Weise vom Egalisierungssignal PRE gesteuert wird, befindet sich an den Adern der lokalen Datenleitung LD, um auch diese Adern auf M-Potential zu egalisieren.

[0032] Während des Ruhezustandes sind die Signale VSN und VSP auf M-Pegel gehalten, so daß der Leseverstärker im Schwebzustand ist. Ferner sind im Ruhezustand die Bitleitungs-Transferschalter 40a, 40b und der Datenleitungs-Transferschalter 50 offen (d. h. nichtleitend), so daß der Leseverstärker A[0] von den zugeordneten Bitleitungsadern BLt und BLc und der lokalen Datenleitung LD[0] abgetrennt ist.

[0033] Zur Vorbereitung eines Zellenzugriffs wird zunächst das Signal PRE unwirksam gemacht, um alle Bitleitungsadern (und auch die Adern aller lokalen Datenleitungen) in der Speicherbank 10 vom M-Potential abzutrennen. Soll der Zugriff an einem Segment ungerader Ordnungszahl erfolgen, also an einem der Segmente [1, 3, 5, ... 15], werden an den Leseverstärkern A[0] und A[2] die Transferschalter 40a geschlossen, und an den Leseverstärkern A[1] und A[3] werden die Transferschalter 40b geschlossen. Soll der Zugriff an einem Segment gerader Ordnungszahl erfolgen, also an einem der Segmente [0, 2, 4, ... 14], werden an den Leseverstärkern A[0] und A[2] die Transferschalter 40b geschlossen, und an den Leseverstärkern A[1] und A[3] werden die Transferschalter 40a geschlossen (d. h. leitend gemacht). Dies erfolgt durch Aktivierung entsprechender Steuersignale SSA bzw. SSB an den Transferschaltern 40a bzw. 40b. Anschließend beginnt der eigentliche Zellenzugriff durch Aktivierung einer Wortleitung WL.

[0034] Als Beispiel sei der Fall betrachtet, daß auf Speicherzellen 20 zugegriffen werden soll, die mit der WL[511] verbunden sind. Diese Wortleitung gehört zu einem "ungeraden" Segment [1], d. h., im Vorbereitungsintervall sind die Transferschalter 40a an den Leseverstärkern A[0] und A[2] geschlossen worden. Die Wortleitung WL[511] wird aktiviert, indem sie auf H-Potential gehoben wird, so daß die Auswahltransistoren 22 in allen Speicherzellen 20 an dieser Wortleitung leitend werden. Wenn eine Zelle 20 geladen ist, also den Binärwert "1" speichert, erfolgt auf der Bitleitungsader BLt eine kleine Potentialanhebung über den M-Pegel, so daß BLt positiv gegenüber BLc wird. Wenn die Zelle 20 hingegen ungeladen ist, also den Binärwert "0" speichert, erfolgt auf der Bitleitungsader BLt eine kleine Potentialabsenkung unter den M-Pegel, so daß BLt negativ gegenüber BLc wird.

[0035] Eine kurze Zeit später wird an allen Leseverstärkern A das Signal VSN auf L-Pegel und das Signal VSP auf H-Pegel geschaltet. Hiermit wird jeder Leseverstärker A eingeschaltet, indem er nun seine volle Versorgungsspan-

nung und seinen Betriebsstrom aus den Quellen der beiden Signale erhält. Hat eine Potentialanhebung an BLt stattgefunden, dann werden die Transistoren T1 und T4 in Richtung zunehmender Leitfähigkeit und die Transistoren T2 und T3 in Richtung zunehmender Sperrung getrieben, so daß BLt in Richtung zum H-Pegel von VSP gezogen wird und die andere Bitleitungsader BLc in Richtung zum das L-Potential von VSN gezogen wird. Infolge der Mitkopplung zwischen T1 und T4 und zwischen T2 und T3 bzw. der Gegenkopplung zwischen T1 und T2 und zwischen T3 und T4 beschleunigt sich dieser Vorgang und führt zur Verriegelung des Endzustandes. Ist hingegen BLt im Augenblick beim Aktivwerden des Leseverstärkers negativ gegenüber BLc geworden, dann ergibt sich der entgegengesetzte Endzustand, in welchem BLt auf L-Pegel und BLc auf H-Pegel gezogen ist. Die im jeweiligen Endzustand "auseinandergezogene" Potentialdifferenz zwischen den Bitleitungsadern BLt und BLt wird an die Speicherzelle 20 zurück übertragen, deren Speicherinformation auf diese Weise aufgefrischt wird.

[0036] Diese Vorgänge laufen an allen Leseverstärkern A[0, 2] auf der einen Seite und an allen Leseverstärkern A[1, 3] auf der anderen Seite des betreffenden Segmentes gleichzeitig ab, so daß alle Speicherzellen 20, die an der aktivierten Wortleitung hängen, gleichzeitig aufgefrischt werden. Ferner können nun ausgewählte Exemplare der Leseverstärker durch Schließen der zugeordneten Transferschalter 50 für einen Lese- oder einen Schreibbetrieb mit der jeweils zugeordneten Datenleitung LD verbunden werden. Diese Transferschalter 50 lassen sich hierzu durch Spaltenselektionssignale CSL ansteuern, die von einem [nicht gezeigten] Spaltenadressen-Decoder abhängig von den Bits einer Spaltenadresse y geliefert werden. Üblicherweise ist den vier Spalten einer Spaltengruppe [y] jeweils das selbe Spaltenselektionssignal CSL[y] zugeordnet, so daß in einem Schreib- oder Lesebetrieb jeweils alle Leseverstärker A[0 : 3] einer Vierergruppe gleichzeitig mit den zugeordneten lokalen Datenleitungen verbunden werden.

[0037] Bei dem reinen Auffrischungsbetrieb an einem Segment, der zyklisch zwischen den Nutz-Zugriffen an der Speicherbank durchgeführt wird, braucht keine Spaltenadressierung zu erfolgen, d. h. es genügt die zyklische Aktivierung aller genutzten Wortleitungen WL bzw. RWL des Segmentes jeweils im Anschluß an das oben erwähnte Vorbereitungsintervall (in welchem die Egalisierungsschalter 30a, 30b geöffnet und die dem jeweiligen Segment zugeordneten Exemplare der Transferschalter 40a, 40b an den Leseverstärkern A beidseitig des betreffenden Segmentes geschlossen werden). Beim Stand der Technik wird für diese zyklische Aktivierung ein Auffrischungszähler verwendet, der zyklisch alle $q \cdot m$ verschiedenen Reihenadressen aufeinanderfolgend erzeugt und an den Decoder 11 legt. Ein Auffrischungszyklus nach dem Stand der Technik umfaßt also $q \cdot m$ aufeinanderfolgende Aktivierungsvorgänge, und bei jedem dieser Vorgänge wird jeweils eine Reihe in jeder Segmentgruppe aufgefrischt. Im Falle von $p = 2$ Segmentgruppen, wie bei der in Fig. 1 dargestellten Speicherbank 10, werden also jeweils $p = 2$ Reihen von Speicherzellen, denen jeweils die gleiche Reihenadresse zugeordnet ist, gleichzeitig aufgefrischt.

[0038] Bei der vorliegenden Erfindung wird von diesem Stand der Technik abgewichen, indem im Auffrischungsbetrieb mehr als p Wortleitungen WL gleichzeitig aktiviert werden, so daß pro Zyklus weniger Aktivierungsvorgänge stattfinden und somit die Summe der Pausenzeiten, in denen das Stromversorgungssystem für die Auffrischung abgeschaltet werden kann, größer ist. Dies bedeutet, daß Wortleitungen unterschiedlicher Reihenadresse gleichzeitig aktiviert werden müssen. Um dies zu erreichen, enthält eine er-

findungsgemäße Auffrischung-Steueranordnung vorzugsweise Mittel, um während der Auffrischungszyklen die Anschlüsse aller gleichzeitig zu aktivierender Wortleitungen miteinander zu verbinden. Natürlich dürfen die jeweils gleichzeitig aktivierten Wortleitungen nicht im selben Segment liegen. Wenn unmittelbar benachbarte Segmente teilweise die selben Leseverstärker benutzen, wie im dargestellten Fall, dürfen die jeweils gleichzeitig aktivierten Wortleitungen auch nicht in unmittelbar benachbarten Segmenten liegen.

[0039] Je mehr Wortleitungen im Auffrischungsbetrieb gleichzeitig aktiviert werden, desto länger können die Pausenzeiten sein. Deswegen besteht eine bevorzugte Ausführungsform der Erfindung darin, bei jedem Schritt des Zyklus jeweils eine Wortleitung in allen Segmenten, die nicht gemeinsame Leseverstärker benutzen, zu aktivieren. Das heißt, bei der hier beschriebenen Speicherbank 10 wird dafür gesorgt, daß in allen Segmenten gerader Ordnungszahl ("gerade" Segmente [0, 2, 4 ... 14]) gleichzeitig jeweils eine Wortleitung aktiviert wird und daß in allen Segmenten ungerader Ordnungszahl ("ungerade" Segmente [1, 3, 5 ... 15]) gleichzeitig jeweils eine Wortleitung aktiviert wird. Hierzu enthält die erfindungsgemäße Auffrischungs-Steueranordnung Schaltmittel, um die Wortleitungsanschlüsse aller geraden Segmente einzeln miteinander zu verbinden und die Wortleitungsanschlüsse aller ungeraden Segmente einzeln miteinander zu verbinden.

[0040] Die erwähnten Schaltmittel sind in der Fig. 1 symbolisch dargestellt durch [m+m']-polige Verbindungsschalter 13a bis 13f, die im normalen Nutzbetrieb der Speicherbank 10 geöffnet sind und während des Auffrischungsbetriebs durch ein Auffrischungsmodus-Steuersignal MS geschlossen werden. Die drei Schalter 13a, 13b und 13c verbinden im geschlossen Zustand die m regulären Wortleitungen WL und die m' redundanten Wortleitungen RWL aller ungeraden Segmente gegenseitig, und die drei Schalter 13d, 13e und 13f verbinden im geschlossen Zustand die Wortleitungen WL und RWL aller geraden Segmente gegenseitig.

[0041] In einer ersten Ausführungsform der Erfindung gemäß der Fig. 1 ist ein 9-Bit-Auffrischungszähler 14 vorgesehen, der durch das Auffrischungsmodus-Steuersignal MS einschaltbar ist, um unter dem Einfluß eines Auffrischungstaktsignals Φ zyklisch die Adressen für die regulären Wortleitungen WL[0:511] an den Decoder 11 zu legen. Der Zähler 14 steuert somit die Adressenbits [0:8]. Ferner ist ein Schalter 14a vorgesehen, der durch das Auffrischungsmodus-Steuersignal MS schließbar ist, um die restlichen Adressenbits [9:10] auf einen festen Logikwert zu legen, z. B. den Logikwert "0". Zur Durchführung eines Auffrischungszyklus wird das Signal MS wirksam gemacht, wodurch alle Schalter 13a bis 13f und 14a geschlossen werden und der Zähler 14 eingeschaltet wird. Somit werden nacheinander die Adressen der Wortleitungen WL[0:255] des geraden Segmentes [0] und dann die Adressen der Wortleitungen WL[256:511] des ungeraden Segmentes [1] erzeugt. Die Fuse-Blöcke 12 bleiben aktiviert, z. B. durch Aufrechterhaltung einer logischen "0" auf der Deaktivierungsleitung 12b.

[0042] Jede Adresse, die zu einer defekten Speicherzellen-Reihe gehört, wird somit in dem programmierten Fuse-Block 12 des betreffenden Segmentes erkannt, der dann statt der adressierten regulären Wortleitung WL eine ausgewählte redundante Wortleitung RWL des gleichen Segmentes aktiviert. Da im hier beschriebenen Auffrischungsbetrieb jedoch gleichzeitig verschiedene Segmente angesprochen werden sollen, muß dafür gesorgt werden, daß in den Fuse-Blöcken 12 diejenigen Adressenbits, die das betreffende Segment bezeichnen, beim Adressenvergleich unbeachtet

bleiben. Zu diesem Zweck sind die Fuse-Blöcke 12 mit der Steuerleitung 12c versehen, die ebenfalls das Auffrischungsmodus-Steuersignal MS empfängt, um alle Fuse-Blöcke 12 in einen Betriebszustand zu versetzen, in welchem sie die für eine defekte Reihe ausgewählte redundante Wortleitung immer dann aktivieren, wenn zumindest derjenige Teil der an den Reihenadressendecoder 11 gelegten Reihenadresse, der zur Bestimmung einer der m Wortleitungen innerhalb des Segmentes dient, im Fuse-Block erkannt wird.

[0043] Somit werden alle tatsächlich genutzten 512 Wortleitungen (WL oder RWL) in den beiden Segmenten [1] und [2] nacheinander aktiviert, und alle 512 tatsächlich genutzten Reihen von Speicherzellen dieser Segmente werden nacheinander aufgefrischt. Infolge der durch die Schalter 13a bis 13f hergestellten Verbindungen werden gleichzeitig auch die tatsächlich genutzten Wortleitungen aller anderen geraden bzw. ungeraden Segmente aktiviert, so daß alle Reihen der Speicherbank 10 nach nur 512 ($= 2 * m$) aufeinanderfolgenden Aktivierungsvorgängen aufgefrischt sind.

[0044] Voraussetzung für den vorstehenden Auffrischungsbetrieb ist allerdings, daß als Ersatz für jede defekte reguläre Reihe von Speicherzellen eine redundante Reihe aus dem selben Segment genutzt wird. Diese Bedingung der "Intra-Block-Redundanz" wird in vielen Fällen erfüllt. Es gibt jedoch DRAM-Bänke, in denen die Fuse-Blöcke 12 auch derart programmiert werden können, daß eine defekte reguläre Reihe durch eine redundante Reihe des Nachbarsegmentes ersetzt wird und somit eine größere Flexibilität in der Nutzung der Redundanz besteht. Im Falle einer solchen "Inter-Block-Redundanz" gibt es demnach Situationen, in denen beim Anlegen der Adresse einer regulären Wortleitung WL eine Wortleitung RWL des unmittelbar benachbarten Segmentes aktiviert wird. Beim normalen Lese- oder Schreibbetrieb und auch Auffrischungsbetrieb nach dem Stand der Technik ist dies kein Problem, wohl aber bei dem vorstehend anhand der Fig. 1 beschriebenen Auffrischungsbetrieb:

[0045] Wenn im vorstehend beschriebenen Auffrischungsbetrieb z. B. die Adresse für eine defekte reguläre Wortleitung WL des Segmentes [0] angelegt wird, die durch eine redundante Wortleitung RWL im benachbarten Segment [1] ersetzt ist, dann kann es vorkommen, daß Wortleitungen in zwei unmittelbar benachbarten Segmenten gleichzeitig aktiviert werden, weil mit Adressierung einer Wortleitung des Segmentes [0] ja auch jeweils eine Wortleitung in allen anderen geraden Segmenten und somit auch im Segment [2] adressiert wird. Dies führt aber zu einem Konflikt, weil die Leseverstärker A, die zwischen den Segmenten [0, 1] liegen, dann gleichzeitig beide Segmente bedienen müßten, was nicht möglich ist.

[0046] Dieses Problem kann dadurch vermieden werden, daß man für den Auffrischungsbetrieb die Fuse-Blöcke 12 völlig deaktiviert, so daß beim Durchlaufen der Adressen tatsächlich nur reguläre Wortleitungen WL und keine redundanten Wortleitungen RWL angesteuert werden. Allerdings werden bei diesem Durchlauf auch diejenigen regulären Wortleitungen WL aktiviert, die zu defekten Reihen gehören. Letzteres wäre eigentlich überflüssig und ist eine geringfügige Zeitverschwendung, schadet aber nicht weiter. Jeder Auffrischungszyklus muß aber noch ergänzt werden durch gesonderte Aktivierung der redundanten Wortleitungen RWL. Eine hierzu geeignete Ausführungsform der Auffrischungs-Steueranordnung ist in der Fig. 3 veranschaulicht.

[0047] Die Anordnung nach Fig. 3 unterscheidet sich von der Anordnung nach Fig. 1 dadurch, daß die Steuerleitung 12c zu den Fuse-Blöcken fehlt und daß stattdessen die De-

aktivierungsleitung 12b der Fuse-Blöcke 12 zum Empfang des Auffrischungsmodus-Steuersignals MS angeschlossen ist und daß zusätzlich eine gesonderte RWL-Aktivierungsschaltung vorgesehen ist, die drei flankengetriggerte RS-Flipflops 15, 16, 17, ein UND-Gatter 18 mit 9 Eingängen und einen 2m'-schrittigen Schrittschalter in Form eines 2m'-stufigen Schieberegisters 19 vorgesehen ist. Die Ausgänge der 2m' Stufen des Schieberegisters 19 sind mit den redundanten Wortleitungen RWL des geraden Segmentes [0] und des ungeraden Segmentes [1] verbunden (oder mit den redundanten Wortleitungen irgendeines beliebigen anderen Paares eines geraden und eines ungeraden Segmentes). Das Schieberegister 19 wird durch eine logische "1" an einem Aktivierungseingang 19a in Betriebs gesetzt, wobei eine "1" in die erste Registerstufe geladen wird, die dann unter dem Einfluß des Taktsignals Φ schrittweise durch alle Stufen geschoben wird. Eine "0" am Aktivierungseingang 19a unterbricht die Taktzufuhr und löscht das Schieberegister 19, indem alle Registerstufen auf "0" zurückgesetzt werden.

[0048] Die Auffrischungs-Steuereinrichtung nach Fig. 3 arbeitet wie folgt:

Mit dem Wirksamwerden des Signals Auffrischungsmodus-Steuersignals MS (Logikwert "1") werden die Schalter 13a bis 13f geschlossen, die Fuse-Blöcke 12 werden über die Leitung 12b deaktiviert und das Flipflop 14 wird durch die Flanke des Signals MS gesetzt, so daß dessen Q-Ausgang auf "1" geht. Dies setzt das Flipflop 17, dessen Q-Ausgang somit auf "1" geht und den Adressenzähler 14 einschaltet, der nun unter dem Einfluß des Taktsignals Φ die 512 Adressen für die regulären Wortleitungen WL[0 : 512] der beiden Segmente [0, 1] nacheinander erzeugt. Hierdurch werden diese Wortleitungen nacheinander aktiviert, und zwar auch diejenigen, welche zu den defekten Reihen gehören, weil die Fuse-Blöcke 12 durch das Signal MS deaktiviert sind. Somit werden alle regulären Reihen des geraden Segmentes [0] und dann des ungeraden Segmentes nacheinander aufgefrischt. Gleichzeitig werden, wegen der geschlossenen Schalter 13a bis 13f, auch die regulären Reihen aller anderen geraden und ungeraden Segmente aufgefrischt.

[0049] Beim letzten Schritt dieser Folge, also beim Erreichen der Adresse für die Wortleitung 511, sind alle 9 Adressenbits [0 : 8] gleichzeitig auf "1", und das diese Bits empfangende UND-Gatter 18 liefert an seinem Ausgang eine "1" zum Rücksetz Eingang des Flipflops 17 und zum Setz-Eingang des Flipflops 16. Hierdurch geht der Q-Ausgang des Flipflops 17 auf "0", was den Zähler 14 auf Null zurückstellt und den Decoder 11 an seinem Deaktivierungseingang 11a deaktiviert. Letzteres erfolgt über eine geeignete invertierende dargestellte Schaltung, die vorzugsweise eine gewisse Verzögerung i beinhaltet, um den letzten Auffrischungsvorgang der Folge nicht vorzeitig abubrechen. Mit dem Setzen des Flipflops 16 geht dessen Q-Ausgang auf "1", wodurch das Schieberegister 19 an seinem Aktivierungseingang 19a in Betrieb gesetzt wird. Auch hier ist vorzugsweise ein passen dimensioniertes Verzögerungsglied zwischengeschaltet, um zu verhindern, daß sich der Betriebsbeginn des Schieberegisters 19 mit dem letzten Auffrischungsvorgang der bisherigen Folge überlappt.

[0050] Unter dem Einfluß des Taktsignals Φ wird nun die geladene "1" von der ersten bis zur letzten Stufe des Schieberegisters 19 geschoben, so daß dessen Ausgänge einzeln nacheinander auf "1" gehen und H-Potential nacheinander an alle redundanten Wortleitungen RWL der Segmente [0, 1] legen. Hierdurch werden alle redundanten Reihen dieser Segmente nacheinander aufgefrischt. Gleichzeitig werden, wegen der geschlossenen Schalter 13a bis 13f, auch die redundanten Reihen aller anderen geraden und ungeraden Segmente aufgefrischt. Wenn der letzte Ausgang des Schieberegisters 19 auf "1" geht, wird der Rücksetz z Eingang des Flipflops 15 aktiviert, so daß dessen Q-Ausgang wieder auf "0" geht. Hierdurch wird das Flipflop 16 zurückgesetzt, so daß der Aktivierungseingang 19a des Schieberegisters 19 auf "0" geht, womit die Taktzufuhr zum Schieberegister 19 gestoppt und alle Registerstufen auf Null zurückgesetzt werden. Hiermit ist der gesamte Auffrischungszyklus beendet, das Signal MS kann unwirksam gemacht und für den nächsten Zyklus wieder wirksam gemacht werden, um das ganze Spiel zu wiederholen.

[0051] Eine alternative Ausführungsform einer Auffrischungs-Steuereinrichtung, die sich ebenfalls für Fälle der Inter-Block-Redundanz eignet, ist in der Fig. 4 dargestellt. Diese Ausführungsform unterscheidet sich von derjenigen nach Fig. 3 dadurch, daß die Elemente 15 bis 19 fehlen und daß statt des einfachen 9-Bit-Adressenzählers 14 eine Zähl-einrichtung 70 verwendet wird, die nicht nur die Adressen für die regulären Wortleitungen WL[0 : 511] der Segmente [0, 1] durchlaufen kann, sondern auch die redundanten Wortleitungen RWL dieser beiden Segmente selektiv adressieren kann.

[0052] Die Zähleinrichtung 70 nach Fig. 4 ist durch den wirksamen Zustand das Signal MS (z. B. Logikwert "1" dieses Signals) aktivierbar, um unter dem Einfluß des Taktsignals Φ programmierte Sequenzen von Bitmustern an die Adresseneingänge [0 : 10] und [R] des Decoders 11 zu legen. Hierzu kann der oben erwähnte, ohnehin vorhandene Testadressenzähler verwendet werden. Zur Programmierung für den Auffrischungsbetrieb kann dieser Zähler mit einer geeigneten Sequenzsteuerlogik 71 versehen sein, um während jedes Auffrischungszyklus bei nichtaktiviertem Redundanzbit ([R] = "0") sequentiell genau alle Adressen [0 : 511] für die regulären Wortleitungen WL der ersten beiden Segmente [0, 1] zu erzeugen, und bei aktiviertem Redundanzbit ([R] = "1") genau alle redundanten Wortleitungen RWL dieser beiden Segmente sequentiell zu adressieren. Wegen der durch die geschlossenen Schalter 13a bis 13f geschaffenen Verbindungen werden gleichzeitig auch die regulären und redundanten Wortleitungen WL und RWL aller anderen Segmente sequentiell aktiviert, so daß im Verlauf eines vollen Zyklus die ganze Speicherbank 10 aufgefrischt wird.

[0053] Bei den Ausführungsformen nach den Fig. 3 und 4 umfaßt jeder Auffrischungszyklus $2(m+m')$ aufeinanderfolgende Aktivierungsvorgänge, da alle vorhandenen regulären und redundanten Reihen aufgefrischt werden, also auch die nicht genutzten defekten regulären Reihen und auch diejenigen redundanten Reihen, nicht als Ersatz genutzt werden. Im Vergleich zur Ausführungsform nach Fig. 1, wo der Auffrischungszyklus nur 2 m aufeinanderfolgende Aktivierungsvorgänge umfaßt, bedeutet dies eine Verlängerung um das Verhältnis m'/m . Dies ist geringfügig, wenn man bedenkt, daß die Anzahl m' der redundanten Reihen in jedem Segment nur einige wenige Prozent der Anzahl m der regulären Reihen ist. Die Ausführungsformen nach den Fig. 3 und 4, die geeignet sind für DRAM-Bänke, welche mit Inter-Block-Redundanz arbeiten, können natürlich auch mit DRAM-Bänken verwendet werden, welche ausschließlich mit Intra-Block-Redundanz arbeiten.

[0054] Die Erfindung ist selbstverständlich nicht auf die anhand der Fig. 1, 3 und 4 beschriebenen Ausführungsformen beschränkt, die lediglich Beispiele sind. Statt des Schieberegisters 19 in Fig. 3 kann auch irgendeine andere Einrichtung mit Schrittschaltfunktion verwendet werden. Es ist auch möglich, den Adressenzähler 14 wegzulassen und das 2m'-stufige Schieberegister 19 sowie die Elemente 15 bis 18 zu ersetzen durch irgendeinen geeigneten $2(m+m')$ -schrittigen Schrittschalter (z. B. ein $2(m+m')$ -stufiges Schieberegister), dessen Ausgänge mit 2 m regulären Wortleitun-

gen WL und den 2m' redundanten Wortleitungen RWL eines geraden und eines ungeraden Segmentes verbunden sind.

[0055] Alle vorstehend beschriebenen Ausführungsbeispiele betreffen den Beispielsfall, daß Auffrischungen gleichzeitig in jeweils $q/2$ Segmenten je Segmentgruppe vorgenommen werden sollen, also jeder Auffrischungszyklus $r = 2$ Teilzyklen umfaßt, in deren einem die geraden Segmente und in deren zweitem die ungeraden Segmente aufgefrischt werden. Dies ist optimal im Sinne einer maximalen Bemessung der Pausenzeiten. Es liegt aber auch im Bereich der Erfindung, $r > 2$ Teilzyklen vorzuschreiben, in deren jedem q/r Segmente in jeder der p Segmentgruppen gleichzeitig aufgefrischt werden. So kann man z. B. bei der in den Figuren gezeigten Speicherbank 10 mit vier (statt zwei) Teilzyklen arbeiten, in deren erstem die Segmente [0, 4, 8, 12] aufgefrischt werden und in deren zweiten die Segmente [1, 5, 9, 13] aufgefrischt werden und in deren drittem die Segmente [2, 6, 10, 14] aufgefrischt werden und in deren viertem die Segmente [3, 7, 11, 15] aufgefrischt werden.

[0056] Je größer r ist, desto kleiner ist die Anzahl der Wortleitungen, die bei jedem Aktivierungsvorgang gleichzeitig aktiviert werden. Hierdurch kann die momentane Höchstbelastung des Stromversorgungssystems gesenkt werden, was bei begrenzter Leistungsfähigkeit dieses Systems vorteilhaft sein könnte. Andererseits wird aber die Summe der Pausenzeiten entsprechend weniger stark erhöht als im Falle $r = 2$.

[0057] Die Erfindung ist natürlich auch anwendbar bei DRAM-Bänken, in denen die Gesamtmenge der Segmente als eine einzige Gruppe ($p = 1$) oder in mehr als zwei Gruppen ($p > 2$) organisiert ist, je nachdem, ob im normalen Schreib- und Lesebetrieb mehr oder weniger Datenbits gleichzeitig befördert werden sollen. Ebenso sind die Anzahl q der Segmente pro Segmentgruppe, die Anzahl m der regulären Wortleitungen WL pro Segment, die Anzahl m' der redundanten Wortleitungen pro Segment und die Anzahl n der Spalten pro Segment nicht auf die als Beispiel angegebenen Zahlen beschränkt.

[0058] Schließlich sei noch erwähnt, daß die Schalter, die in den Figuren symbolisch als mechanische Schalter dargestellt sind, natürlich elektronische Schalteinrichtungen sind, vorzugsweise unter Verwendung von MOS-FETs, wie bei integrierten Schaltungen allgemein üblich.

Bezugszeichenliste

- 10 Speicherbank
- 11 Reihenadressendecoder
- 11a Deaktivierungseingang für Reihenadressendecoder
- 12 Fuse-Blöcke
- 12a Adressenleitungen zu den Fuse-Blöcken
- 12b Deaktivierungsleitung für Fuse-Blöcke
- 12c Steuerleitung für Fuse-Blöcke
- 13a f Verbindungsschalter
- 14 Adressenzähler
- 14a Schalter
- 15 RS-Flipflop
- 16 RS-Flipflop
- 17 RS-Flipflop
- 18 UND-Gatter
- 19 Schieberegister
- 19a Schieberegistereingang
- 20 Speicherzelle
- 21 Speicherkondensator
- 22 Auswahltransistor
- 31a, b Egalisierungsschalter
- 40a, b Transferschalter
- 50 Transferschalter

- 70 Adressenzähler
- 71 Sequenzsteuerlogik
- A Leseverstärker
- BLt, c Bitleitungsadern
- LD lokale Datenleitungen
- WL reguläre Wortleitungen
- RWL redundante Wortleitungen

Patentansprüche

1. Digitale Speicherschaltung mit mindestens einer Speicherbank (10), die $p \geq 1$ Gruppen von jeweils $q > 2$ Segmenten aufweist, deren jedes eine Vielzahl von Speicherzellen (20) enthält, die eine Matrix aus Reihen und Spalten bilden und auslesbar sind durch Aktivierung einer der betreffenden Reihe zugeordneten Wortleitung (WL, RWL) und Einschalten eines der betreffenden Spalte zugeordneten Leseverstärkers (A), der im eingeschalteten Zustand das gespeicherte Datum fühlt und aufgefrischt in die jeweilige Speicherzelle zurückschreibt, wobei die Menge der Spalten in jedem Segment aus zwei disjunkten Teilmengen besteht, deren erste einer ersten Teilmenge der Leseverstärker zugeordnet ist und deren zweite einer demgegenüber disjunkten zweiten Teilmenge der Leseverstärker zugeordnet ist, und wobei einer Spalten-Teilmenge jedes Segmentes die selben Leseverstärker zugeordnet sind wie einer Spalten-Teilmenge des unmittelbar benachbarten Segmentes, mit einem Reihenadressen-Decoder (11), der ausgelegt ist zum Empfang von verschiedenen Reihenadressen, um für jede dieser Adressen genau eine Wortleitung jeder Segmentgruppe zu aktivieren, und mit einer Auffrischungs-Steuereinrichtung (13a-f, 14; 13a-f, 14-19; 13a-f, 70, 71) zum Durchführen eines Auffrischungszyklus, in welchem die Wortleitungen (WL, RWL) jedes Segmentes sequentiell und genau einmal aktiviert werden unter Einschaltung zumindest aller derjenigen Leseverstärker, die den Spalten des betreffenden Segmentes zugeordnet sind, dadurch gekennzeichnet, dass die Auffrischungs-Steuereinrichtung (13a-f, 14, 14a; 13a-f, 14-19; 13a-f, 70, 71) ausgelegt ist zur Durchführung des Auffrischungszyklus in Form aufeinanderfolgender Teilzyklen, wobei in mindestens einem dieser Teilzyklen Wortleitungen (WL, RWL) von gleichzeitig mindestens zwei nicht-benachbarten Segmenten in jeder Segmentgruppe sequentiell aktiviert werden.
2. Speicherschaltung nach Anspruch 1, wobei q eine gerade Zahl ≥ 4 ist, dadurch gekennzeichnet, daß der Auffrischungszyklus aus r Teilzyklen besteht, in deren jedem die Wortleitungen (WL, RWL) von gleichzeitig q/r Segmenten jeder Segmentgruppe sequentiell aktiviert werden.
3. Speicherschaltung nach Anspruch 2, wobei q ein ganzzahliges Vielfaches von 4 ist, dadurch gekennzeichnet, daß der Auffrischungszyklus aus $r = 2$ Teilzyklen besteht.
4. Speicherschaltung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Auffrischungs-Steuereinrichtung (13a-f, 14, 14a; 13a-f, 14-19; 13a-f, 70, 71) eine Verbindungseinrichtung (13a-f) enthält, die durch ein Auffrischungsmodus-Steuersignal (MS) einschaltbar ist, um alle Wortleitungen (WL, RWL), die im Verlauf des Auffrischungszyklus jeweils gleichzeitig zu aktivieren sind, miteinander zu verbinden.
5. Speicherschaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Auffrischungs-Steuereinrichtung

tung (13a-f, 14, 14a; 13a-f, 14-19; 13a-f, 70, 71) eine Sequenzsteuereinrichtung (14; 14-19; 70, 71) enthält, die durch das Auffrischungsmodus-Steuersignal (MS) einschaltbar ist, um im Verlauf jedes Teilzyklus des Auffrischungszyklus sequentiell die Reihenadressen der Reihen nur eines derjenigen Segmente an den Reihenadressendecoder (11) zu legen, in denen die im betreffenden Teilzyklus jeweils gleichzeitig zu aktivierenden Wortleitungen (WL, RWL) liegen.

6. Speicherschaltung nach Anspruch 5, dadurch gekennzeichnet, daß jedes Segment m reguläre Reihen mit zugeordneten regulären Wortleitungen (WL) und m' redundante Reihen mit zugeordneten redundanten Wortleitungen (RWL) enthält, wobei Umleitungsschaltungen (12) vorgesehen sind, welche auf die vom Reihenadressendecoder (11) empfangenen Reihenadressen ansprechen und derart programmiert sind, daß sie bei Adressierung einer defekten Reihe irgendeines Segmentes eine jeweils ausgewählte redundante Wortleitung (RWL) des selben Segmentes aktivieren, und daß die Auffrischungs-Steuereinrichtung (13a-f, 14, 14a) ausgebildet ist, um in jedem Auffrischungszyklus die Reihenadressen nur der regulären Reihen an den Reihenadressendecoder (11) zu legen und die Umleitungsschaltungen (12) für die Dauer des Auffrischungszyklus in Betrieb zu halten.

7. Speicherschaltung nach Anspruch 6, dadurch gekennzeichnet, daß die Reihenadressen jeweils einen ersten Teil enthalten, der das zu adressierende Segment innerhalb jeder Segmentgruppe bezeichnet, und einen zweiten Teil, der die Position der adressierten regulären Reihe innerhalb des betreffenden Segmentes bezeichnet, und daß die Umleitungsschaltungen (12) durch das Auffrischungsmodus-Steuersignal (MS an 12c) in einen Betriebszustand setzbar sind, im welchem sie die für eine defekte Reihe ausgewählte redundante Wortleitung (RWL) immer dann aktivieren, wenn der zweite Teil der an den Reihenadressendecoder (11) gelegten Reihenadresse mit dem zweiten Teil der Reihenadresse der defekten Reihe übereinstimmt.

8. Speicherschaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß jedes Segment m reguläre Reihen mit zugeordneten regulären Wortleitungen (WL) und m' redundante Reihen mit zugeordneten redundanten Wortleitungen (RWL) enthält, wobei Umleitungsschaltungen (12) vorgesehen sind, welche auf die Reihenadressen ansprechen und derart programmiert sind, daß sie bei Adressierung einer defekten Reihe eine jeweils ausgewählte redundante Wortleitung (RWL) aktivieren, und daß die Auffrischungs-Steuereinrichtung (13a-f, 14-19; 13a f, 70, 71) ausgebildet ist, um während erster Teilzeiten in den Auffrischungszyklen die Umleitungsschaltungen (12) außer Betrieb zu setzen und nur die regulären Wortleitungen (WL) zu aktivieren, und während zweiter Teilzeiten in den Auffrischungszyklen nur die redundanten Wortleitungen (RWL) zu aktivieren.

9. Speicherschaltung nach den Ansprüchen 5 und 8, dadurch gekennzeichnet, daß die Sequenzsteuereinrichtung (14-19) eine Schrittschalteinrichtung (19) zur sequentiellen Aktivierung der redundanten Wortleitungen (RWL) enthält, und daß die Sequenzsteuereinrichtung (14-19) während der ersten Teilzeiten der Auffrischungszyklen den Reihenadressendecoder (11) eingeschaltet hält und ihm

die Adressen der regulären Wortleitungen (WL) anlegt, und während der zweiten Teilzeiten der Auffrischungszyklen den Reihenadressendecoder (11) ausgeschaltet hält und die Schrittschalteinrichtung (19) in Betrieb hält.

10. Speicherschaltung nach den Ansprüchen 5 und 8, dadurch gekennzeichnet, daß der Reihenadressendecoder (11) ausgelegt ist zum Empfang sowohl von Reihenadressen, welche die regulären Reihen bezeichnen, als auch von Reihenadressen, welche die redundanten Reihen bezeichnen, und daß die Sequenzsteuereinrichtung (70, 71) dem Reihenadressendecoder (11) während der ersten Teilzeiten der Auffrischungszyklen die Adressen der regulären Reihen anlegt und während der zweiten Teilzeiten der Auffrischungszyklen die Adressen der redundanten Reihen anlegt.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

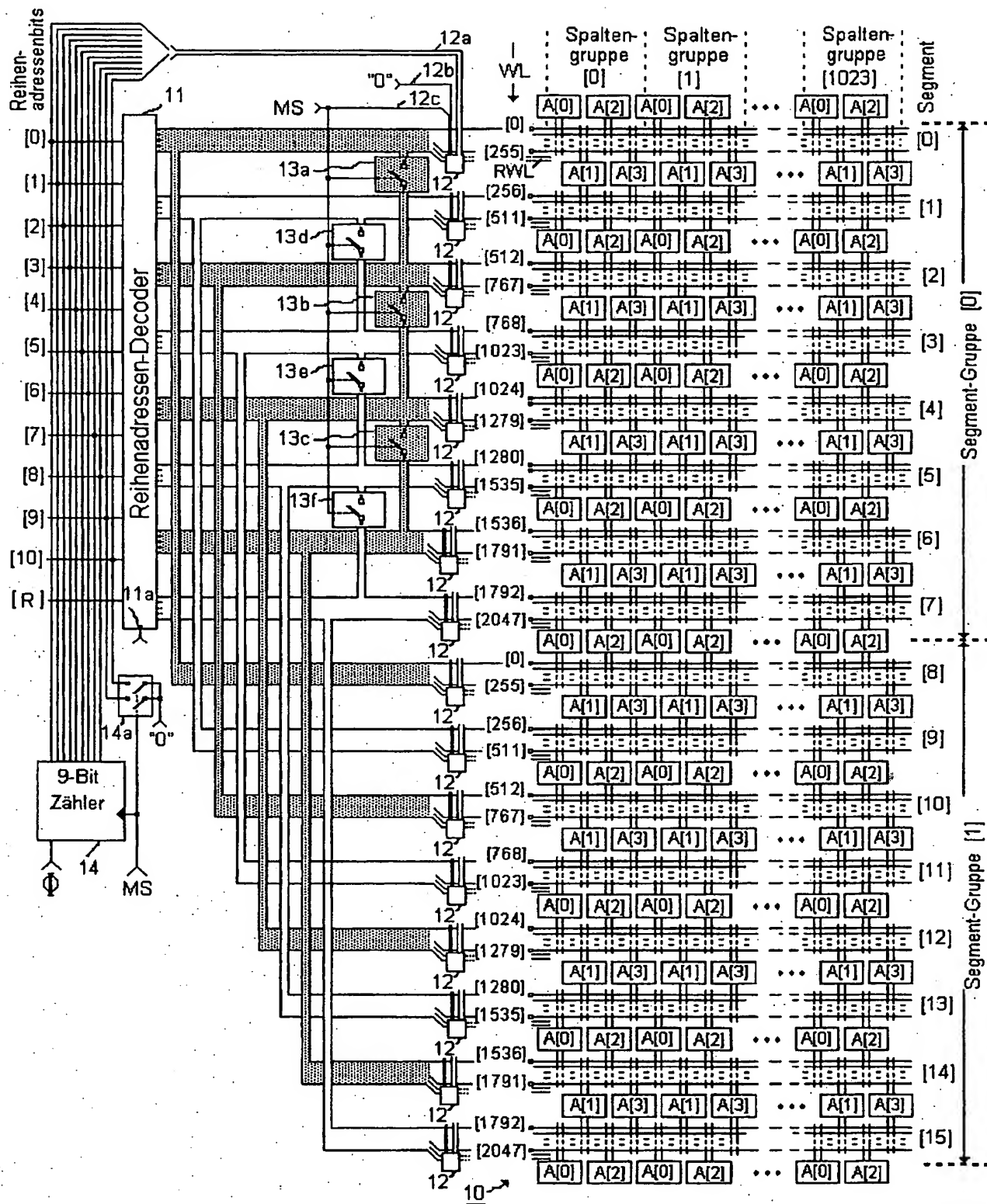


FIG. 1

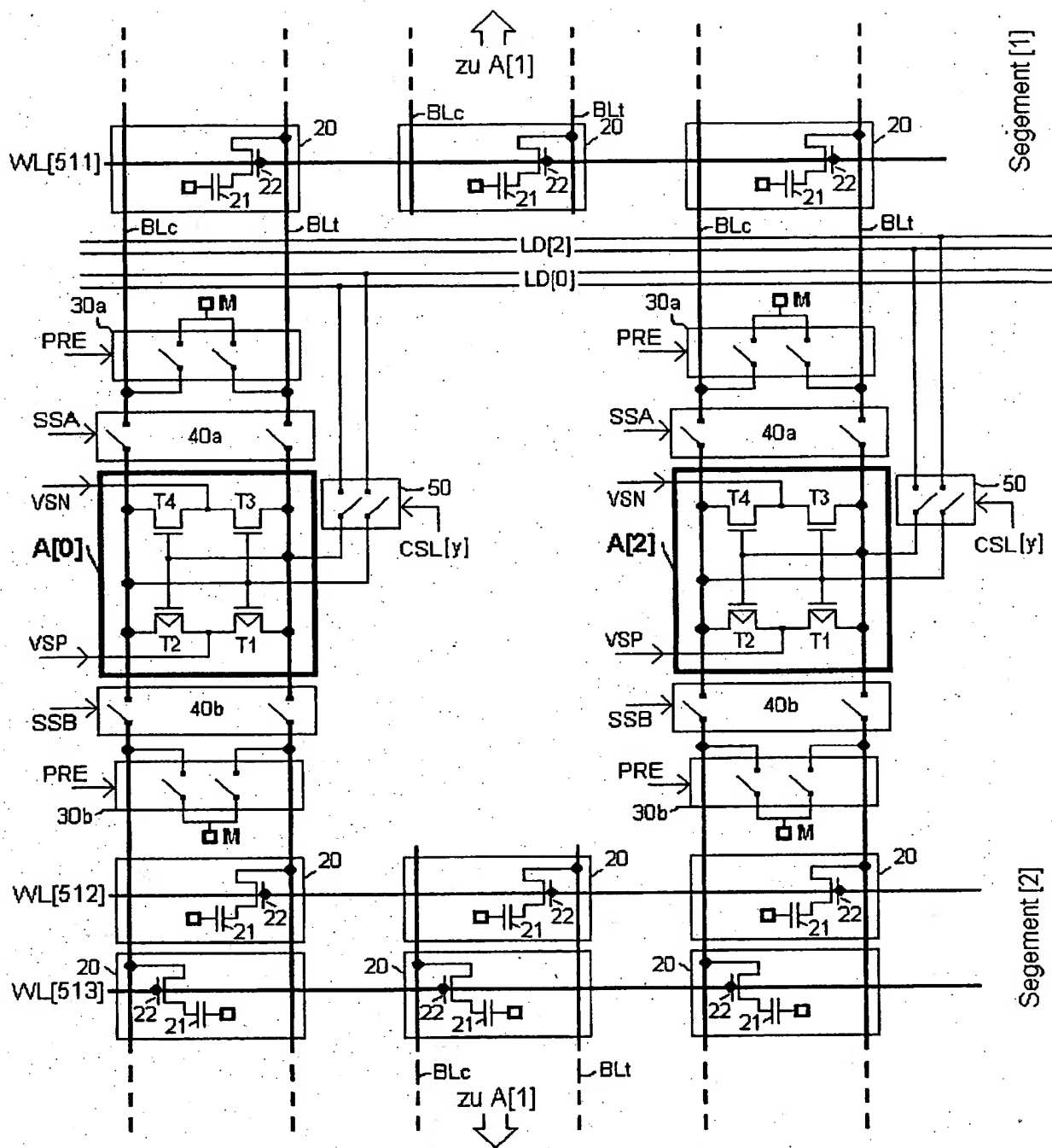


Fig. 2

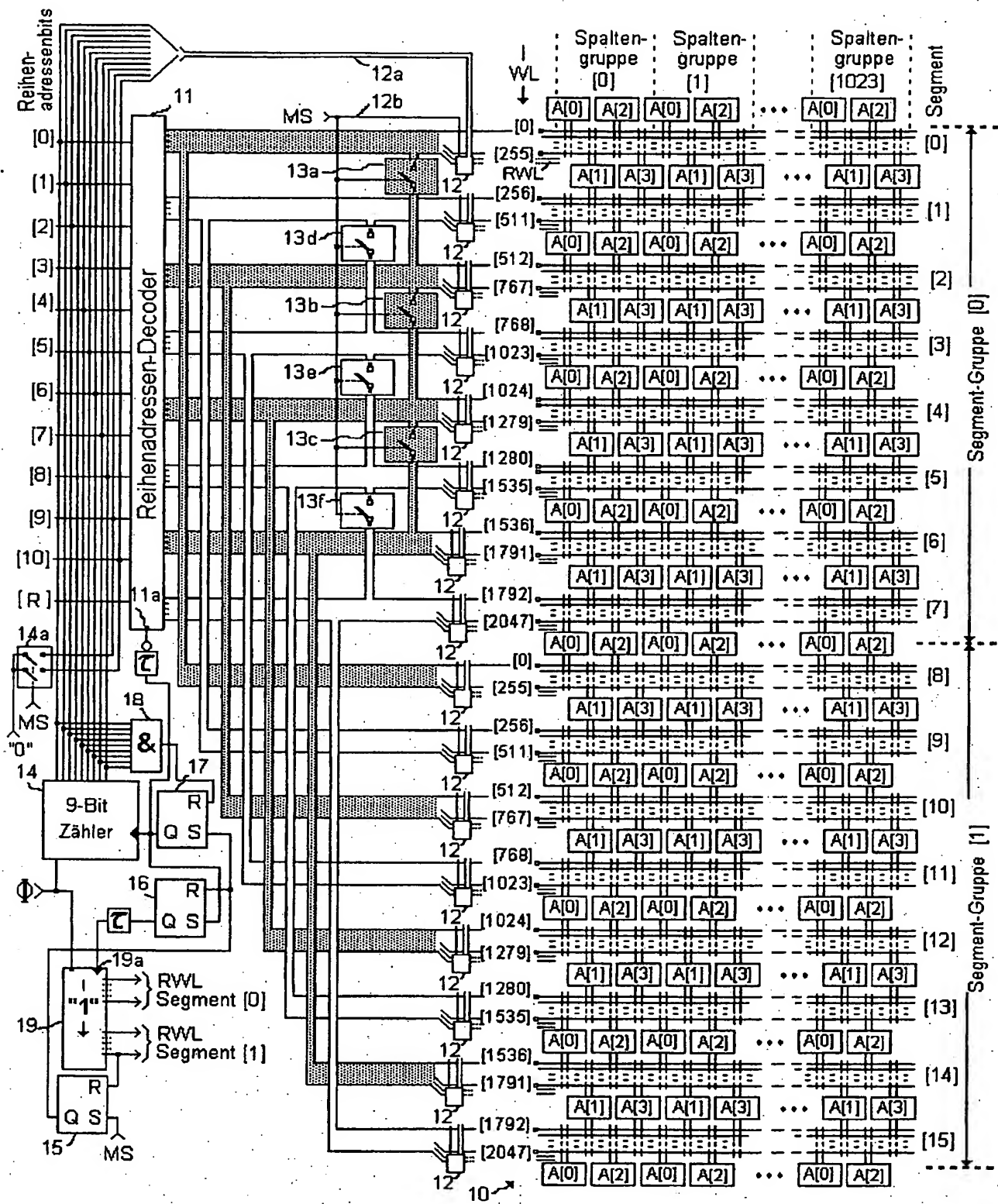


FIG. 3

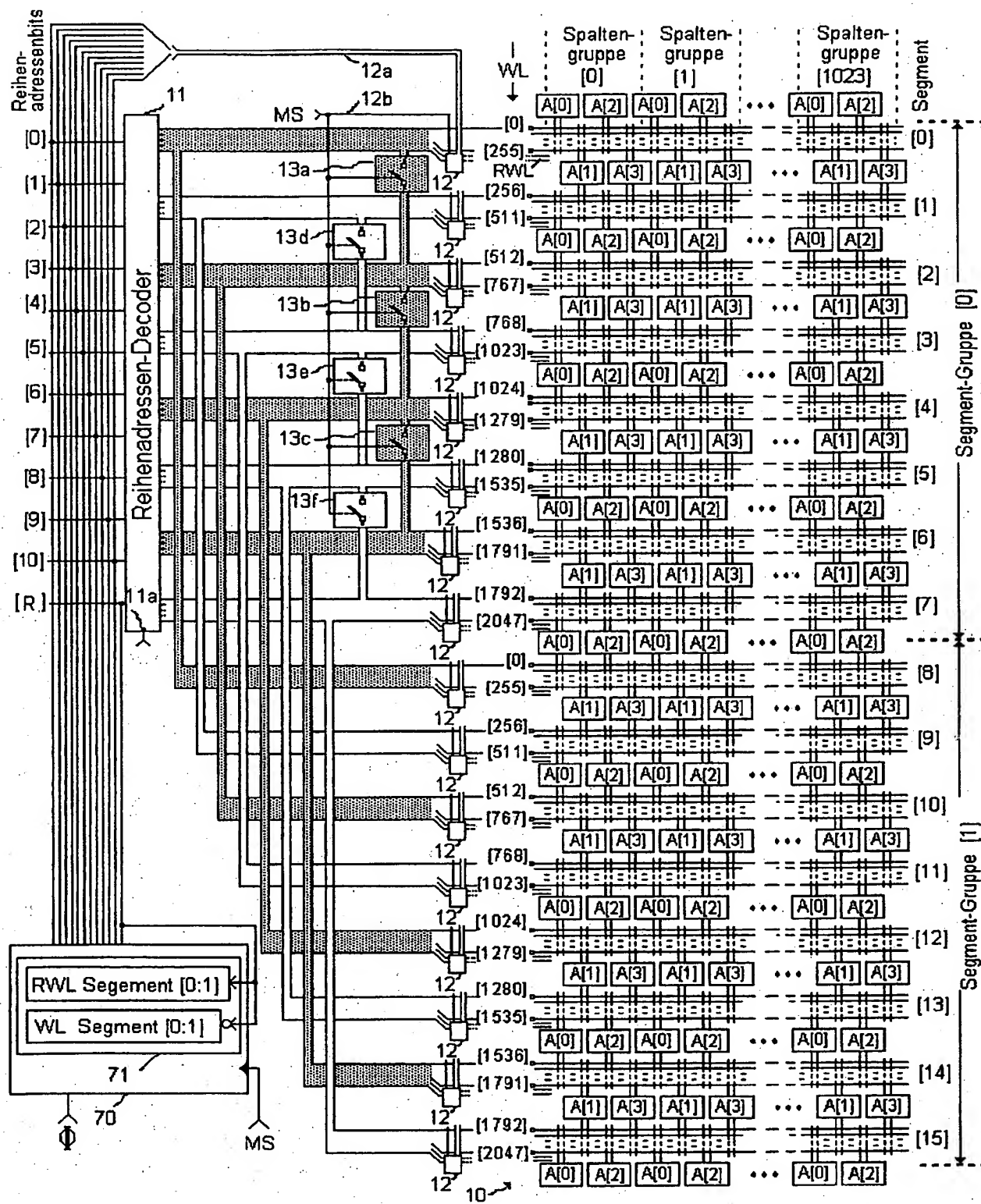


FIG. 4